

FIELD-EFFECT TRANSISTOR

Patent Number: JP1009662
Publication date: 1989-01-12
Inventor(s): INOUE YASUAKI
Applicant(s):: MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP1009662
Application Number: JP19870164427 19870701
Priority Number(s):
IPC Classification: H01L29/78
EC Classification:
Equivalents: JP2510599B2

Abstract

PURPOSE: To enable a field-effect transistor to be highly integrated without miniaturizing itself by a method wherein the channel surface of a channel region is formed perpendicular to the main surface of a substrate forming a field effect transistor while a gate is also formed expanding in the direction perpendicular to the same main surface.

CONSTITUTION: A silicon oxide film 31 is formed on the main surface 2a of a substrate 2 by thermal oxidation and then a high melting point metallic film 32 is evaporated on the film 31 to be patterned after specific pattern. Then, another silicon oxide film 33 is laminated on the substrate 2 by CVD process. Next, a trench 35 reaching the end 34 of the metallic film 32 is formed using resist as a mask. Then, three layers of doped silicon comprising a dopant successively changed to arsenic boron and arsenic are laminatedly formed in the trench 35. After forming a three layer structure comprising a drain 3, a channel region 5 and a source 4, another trench 36 in the depth with the bottom 36a thereof at least reaching the upper end of the source 4 as the lowermost part is formed near the three layer structure by dryetching process etc. and then the trench 36 is filled with the doped silicon as a gate 1.

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-9662

⑬ Int. Cl.⁴
H 01 L 29/78
// H 01 L 29/80

識別記号
301

庁内整理番号
Z-8422-5F
L-8122-5F

⑭ 公開 昭和64年(1989)1月12日

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 電界効果トランジスタ

⑯ 特 願 昭62-164427

⑰ 出 願 昭62(1987)7月1日

⑱ 発 明 者 井 上 靖 朗 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

電界効果トランジスタ

2. 特許請求の範囲

(1) ドレインとソースとの間に形成されるチャネル領域とゲートとが対向して配置される電界効果トランジスタにおいて、

前記ゲートと向い合つて前記チャネル領域内でのキャリアの流動の広がりを規定するチャネル面が、前記電界効果トランジスタを形成する基板の主面に対して垂直に形成されるとともに、前記ゲートもまた前記主面に垂直な方向に広がりを持つて形成されたことを特徴とする電界効果トランジスタ。

(2) チャネル領域のチャネル長方向が基板の主面に対して平行に形成されたことを特徴とする特許請求の範囲第1項記載の電界効果トランジスタ。

(3) チャネル領域のチャネル長方向が基板の主面に対して垂直に形成されたことを特徴とする

特許請求の範囲第1項記載の電界効果トランジスタ。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、電界効果トランジスタの集積度を高めるための技術の関するものである。

(従来の技術)

第5図は従来の電界効果トランジスタの一例であるシリコンゲート型nチャネルMOSFETを示す概略図である。

第5図において、このMOSFET 1はp形シリコン基板2にn形不純物が拡散されてドレイン3とソース4とが形成されている。そして、ドレイン3とソース4との間に形成されたチャネル領域5の上方に、図示しないゲート酸化膜をはさんでポリシリコンで形成されたゲート6が設けられている。なお、第5図では他の酸化膜やAと配線なども図示を省略している。

このようなMOSFET 1は、①基板2の主面2a上に所定のマスクを配置した状態でn形不純

特開昭64-9662 (2)

物をドーピングしてドレイン3やソース4を形成した後、チャンネル領域5の上方にゲート6としてポリシリコンを設ける、または、②チャンネル領域5が形成されるべき位置の上方にゲート6としてポリシリコンを設けた後、そのゲート6をマスクとしてn形不純物をドーピング自己整合によってドレイン3やソース4を形成する、などの製造方法によって得ることができる。

上記のような構成のMOSFET1では、ゲート6とソース4との間に印加される電圧によってチャンネル領域5に生じる反転層（図示せず）を通路として、ドレイン3とソース4との間に電流が流れる。そして、この電流はゲート6とソース4との間に印加される電圧の大きさによって制御される。

（発明が解決しようとする問題点）

従来のMOSFET1は以上のように構成されているので、ゲート6と肉い合ってチャンネル領域5内でのキャリアの通路の広がりや規定するチャンネル面5aは、このMOSFET1が形成される

基板2の主面2aと平行に形成されることになる。このため、1個のMOSFET1を形成するのに要する面積 S_1 は、少なくとも

$$S_1 = (L_c + L_D + L_S) \times D_1 \quad \dots (1)$$

と概算される。(1)式において、 L_c はチャンネル長、 L_D 、 L_S はそれぞれドレイン3及びソース4の長さ、 D_1 はチャンネル幅である。

従って、基板2へのMOSFET1の集積度を高めるためには、個々のMOSFET1のチャンネル長 L_c 、ドレイン3及びソース4のそれぞれの長さ L_D 、 L_S 及びチャンネル幅 D_1 を小さくして、MOSFET1自体の小型化を図ることが必要である。

しかし、MOSFET1を小型化するにあたっては、より高度の微細加工技術が要求され、また、MOSFET1の電気的特性を維持するには上記 L_c 、 L_D 、 L_S 及び D_1 を極端に小さくすることができないなどの事情により、高集積化が困難であるという問題点があった。そして、これはMOSFET1に限らず、電界効果トランジスタ

- 3 -

べてに共通の問題点である。

この発明は、上記のような問題点を解消するためになされたもので、電界効果トランジスタ自体を小型化しなくても、より高集積化が可能な電界効果トランジスタを得ることを目的とする。

（問題点を解決するための手段）

この発明の電界効果トランジスタでは、チャンネル領域のチャンネル面が該電界効果トランジスタを形成する基板の主面に対して垂直に形成されるとともに、ゲートもまた前記主面に垂直な方向に広がりを保持して形成されている。

（作用）

この発明では、チャンネル領域のチャンネル面を基板の主面と垂直に形成することにより、基板の主面に対して電界効果トランジスタ1個当たりが占める面積の割合を実質的に小さくする。

（実施例）

以下、この発明の実施例を図面を参照して説明する。

第1図は、この発明の第1の実施例であるシリ

- 4 -

コンゲート型nチャンネルMOSFETを示す概略図である。

第1図において、このMOSFET10が従来のMOSFET1（図5図）と異なるのは、ゲート6に向い合ってチャンネル領域5内でのキャリアの通路の広がりや規定するチャンネル面5aが、基板2の主面2aの垂直な方向に形成されるとともに、ゲート6が基板2の主面2aに対して垂直な方向に広がりを保持して形成されている点である。また、これに応じて、ドレイン3やソース4も、基板2の主面2aの深さ方向に広がって主面2aに垂直に形成されている。

ただし、この第1の実施例では、チャンネル面5aを主面2aに垂直にするためにあたって、チャンネル長 L_c 方向が基板2の主面2aに対して平行となるようにしている。

次に、このような構造を有するMOSFET10の製造方法について説明する。第2図は、MOSFET10の製造工程を示す平面図及びそのA-A矢視断面図である。

- 5 -

—294—

- 6 -

特開2004-3662 (3)

まず、第2図(a)に示すように、D型基板2上に塗布されたレジスト11をマスクとして、ドレイン3、ソース4及びチャネル領域5を形成すべき位置にボロンを注入する。このようにボロンを注入するのは、MOSFET10のしきい値電圧を所定の値に制御するためである。また、ボロンの注入は、深さ方向のボロンの分布を制御するために、ボロンのイオンビーム12の加速電圧を数種類に変化させて行なわれる(以下、多段注入という。)

そして、レジスト11を除去した後、基板2の上面にシリコン酸化膜13を形成し、ゲート6を形成すべき位置を選択的にエッチングしてトレンチ14を形成する(第2図(b))。このとき、トレンチ14がチャネル領域5と直接に接するようにトレンチ14の位置を決定する。このトレンチ14の形成後、トレンチ14の内壁面にシリコン酸化膜15を形成する(第2図(c))。このシリコン酸化膜15のうちチャネル領域5側に形成された酸化膜がこのMOSFET10のゲート酸化

膜となる。

次いで、第2図(d)に示すように、基板2の上面(トレンチ14内部を含む。)にCVD法によってドーパントポリシリコンを堆積した後、リソグラフィで選択的にパターニングしてゲート6を形成する。図からわかるように、トレンチ14内に充満されたドーパントポリシリコンがゲート6として機能するわけである。さらに、基板2の上面をレジスト18でマスクしてドレイン3及びソース4を形成すべき位置にヒ素を多段注入する(第2図(e))。

ところで、この実施例では、ドレイン3及びソース4を比較的深い位置まで形成することが必要のため、注入したヒ素の横方向への広がり(特にチャネル領域5方向への広がり)をMOSFET10の電気的特性に影響がない程度に制御しなければならない。この制御は、予め実験などによってヒ素の横方向への広がりや、注入する濃さやヒ素のイオンビームの加速電圧などとの関係を調べておき、それに基づいて多段注入を行なうことによ

- 7 -

って可能である。

第2図(e)のレジスト18を除去した後、さらにシリコン酸化膜17を形成し、ドレイン3、ソース4及びチャネル領域5の周囲を選択的にエッチングして素子分離用のトレンチ18を形成する(第2図(f))。そして、熱酸化、あるいはCVD法によって、再び基板2の上面にシリコン酸化膜19を形成する(第2図(g))。これによって、トレンチ18内にもシリコン酸化膜19が形成され分離領域20が形成される。その後、リソグラフィによって、ドレイン3、ソース4及びゲート6にそれぞれコンタクトホール21をあける。

そして、各コンタクトホール21を通してアルミ配線22を設け(第2図(h))、その上面に保護膜(図示せず)を付与する。

上記製造方法によって第1図にその概略を示したようなMOSFET10を得ることができる。

そして、このMOSFET10を形成するのに要する面積 S_2 は、主面2a上におけるソースおよびドレイン4の幅を D_2 (第1図)としたとき、

- 8 -

$$S_2 = (L_c + L_d + L_s) \times D_2 \quad \dots (2)$$

と算出される。(2)式における幅 D_2 は(1)式のチャネル幅 D_1 に比べて十分に小さいため、このMOSFET10の面積 S_2 が基板2の主面2aに占める割合は従来のMOSFET1(第5図)に比べて十分に小さいといえる。

次に、この発明の第2の実施例について説明する。第3図は、この発明の第2の実施例であるシリコンゲート型チャネルMOSFETを示す概略図である。

第3図において、このMOSFET30が第1の実施例と異なるのは、チャネル長 L_c 方向を基板2の主面2aに対して垂直とするような形で、チャネル面5aが主面2aに垂直になっている点である。したがって、この実施例では、ドレイン3とチャネル領域5とソース4とが三層に堆積されて主面2aに対して垂直に形成されていることになる。

また、ゲート6は主面2aに対して垂直な方向(深さ方向)に広がりを持っているが、第1の実

特開昭64-9662 (4)

施例と異なっており、ドレイン3およびソース4に対向する位置にもゲート6が伸びている。なお、このMOSFET30は、基板2a上に積層されたシリコン酸化膜33中に形成されている。

次に、このような構造を有するMOSFET30の製造方法を第4図に従って説明する。

まず、第4図(a)に断面図で示すように、基板2の主面2a上に熱酸化によってシリコン酸化膜31を形成した後、その上面に高融点金属膜32を蒸着して所定のパターンにパターニングする。この高融点金属膜32は、後述するようにソース4の電極を形成するためのものである。そして、基板2の上面にCVD法によって約数μm程度の厚さのシリコン酸化膜33を積層する。

次に、第4図(b)に示すように、レジスト(図示せず)などをマスクとして、高融点金属膜32の端部34に到達するトレンチ35を形成する。そして、このトレンチ35内にドーパントをヒ素、ボロン、ヒ素の順に交互にドーフトシリコンを三層に積層して形成する。これによって、最下部に

ソース4、その上方にチャネル領域5、最上部にドレイン3が形成される。

このようにしてドレイン3とチャネル領域5とソース4とを三層構造とした後、この三層構造の近傍に、少なくともその底面36aが最下部のソース4の上端まで到達する深さを有するトレンチ36をドライエッチングなどで形成し、そこに、CVD法によってドーフトポリシリコンをゲート6として充填する(第4図(c))。さらに、ゲート6とは反対側にドレイン3などから所定の間隔を隔ててトレンチ37を形成する。このトレンチ37の深さは、その底面37aに高融点金属膜32が露出するように決定する。そして、このトレンチ37にもゲート6の形成時と同様にしてドーフトポリシリコンを充填する(第4図(d))。このトレンチ37に充填されたドーフトポリシリコンは前述の高融点金属膜32と接触することにより、ソース4の電極41を形成する。

そして、これらの上面にシリコン酸化膜38を形成して、ドレイン3、ソース4及びゲート6用

- 11 -

の各コンタクトホール39をあけた後、A₁配線40を形成する(第4図(e))。さらに、その上面に保護膜(図示せず。)を付与する。なお、このMOSFET30はシリコン酸化膜33中に形成されるため、素子分離のための領域を形成する必要がない。

上記製造方法によって第3図にその概略を示したようなMOSFET30を得ることができる。

そして、このMOSFET30を形成するのに要する面積S₃は、ゲート6とチャネル領域6とをあわせた幅をD₃(第3図)としたとき、

$$S_3 = D_3 \times L_3 \quad \dots (3)$$

と算出される。

(3)式から明らかなように、このMOSFET30では、ドレイン3やソース4の長さL_D、L_S及びチャネル長L_Cが面積S₃とは無関係になることがわかる。そして、幅D₃は(L_C + L_D + L_S)に比べて小さいので、このMOSFET30の面積S₃が基板2の主面2aに占める割合は従来のMOSFET1(第5図)に比

- 12 -

べ十分に小さくなるだけでなく、第1の実施例と比較しても小さなものとなる。

なお、上記第1と第2の実施例ではともにシリコンゲート型nチャネルMOSFETを例にとって説明したが、特にこれに制限されるわけではなく、pチャネルMOSFETはもちろんのこと、埋合型FETなどFET全般に適用可能である。(発明の効果)

以上のように、この発明によればチャネル面やゲートが基板の主面に対して垂直に形成することにより、主面に対して電界効果トランジスタ1個当たりが占める面積の割合を小さくすることができ、電界効果トランジスタ自体を小型化することなく、高集積化が可能な電界効果トランジスタを得られる効果がある。

4. 図面の簡単な説明

第1図は、この発明の第1の実施例であるシリコンゲート型nチャネルMOSFETを示す概略図、第2図は第1図に示したMOSFETの製造工程を示す平面図及びそのA-A矢視断面図、第

- 13 -

- 14 -

特開昭64-9662 (5)

3図は、この発明の第2の実施例であるシリコンゲート型nチャネルMOSFETを示す概略図、第4図は、第3図に示したMOSFETの製造工程を示す断面図、第5図は、従来のシリコンゲート型nチャネルMOSFETを示す概略図である。

図において、1、10及び30はMOSFET、2はシリコン基板、2aは主面、3はドレイン、4はソース、5はチャネル領域、5aはチャネル面、6はゲート、 L_c はチャネル長である。

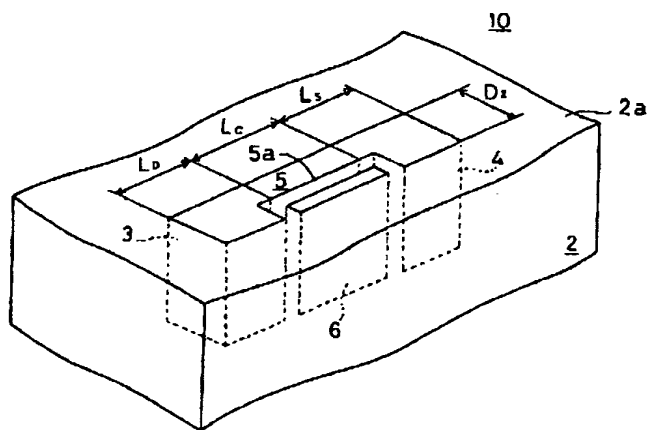
なお、各図中同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

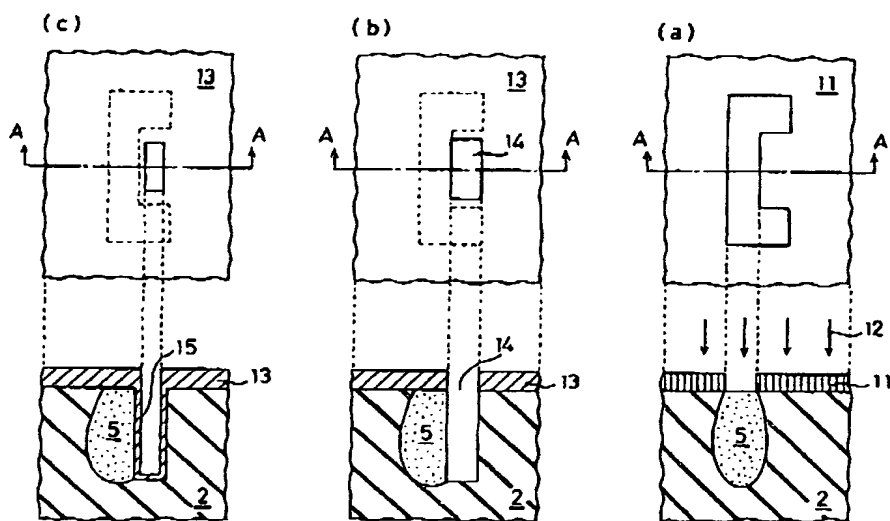
- 15 -

第 1 図

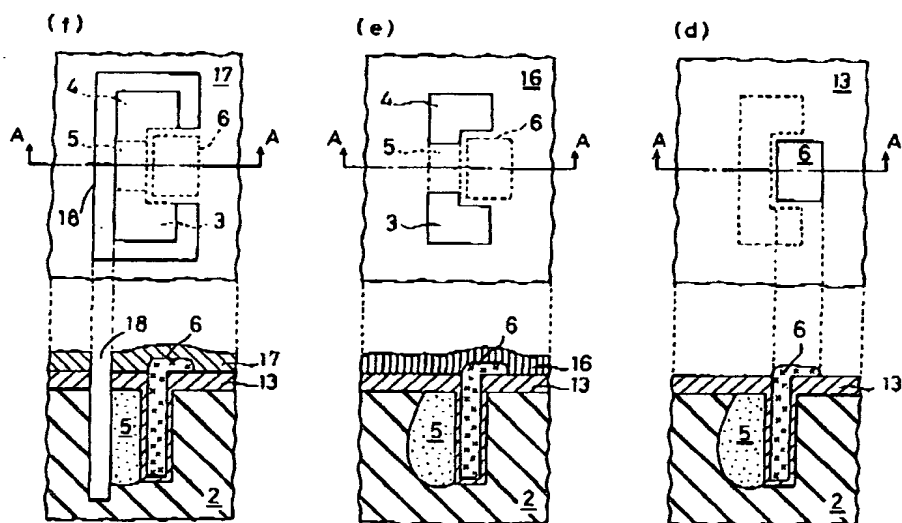
2 ---- シリコン基板
2a ---- 主面
3 ---- ドレイン
4 ---- ソース
5 ---- チャネル領域
5a ---- チャネル面
6 ---- ゲート
10 ---- MOSFET
 L_c ---- チャネル長



第 2 圖

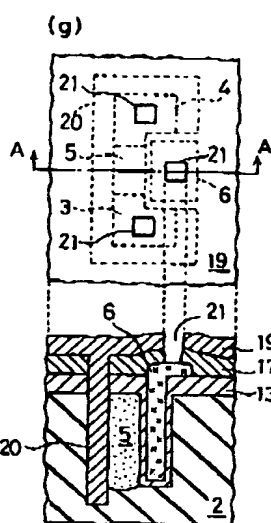
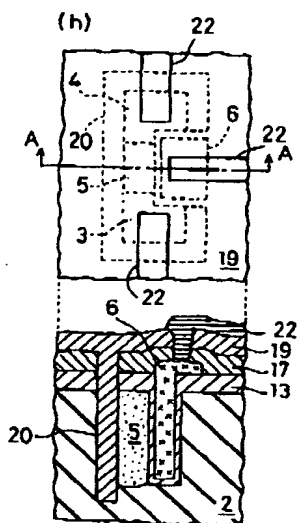


第 2 圖

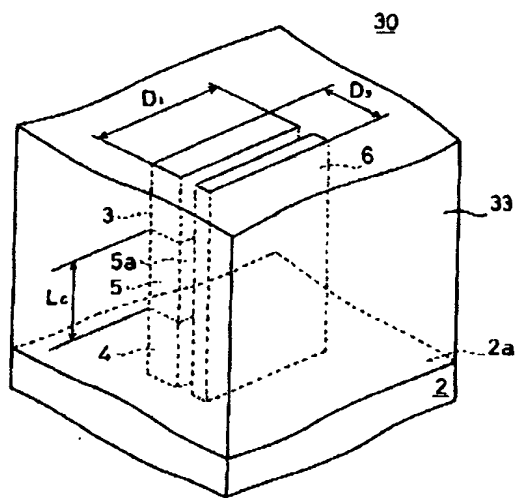


特開昭64-9662 (7)

第 2 圖

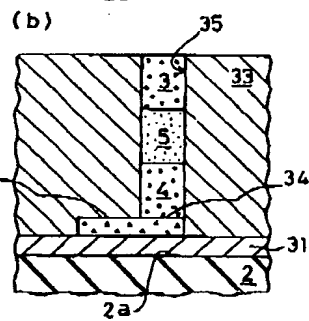
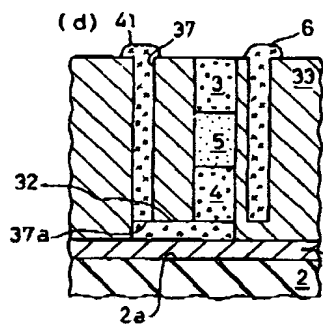
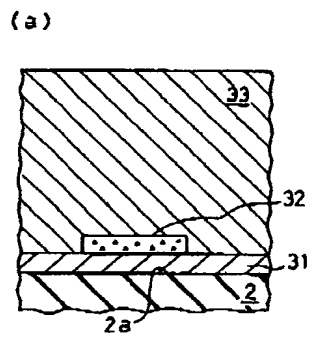
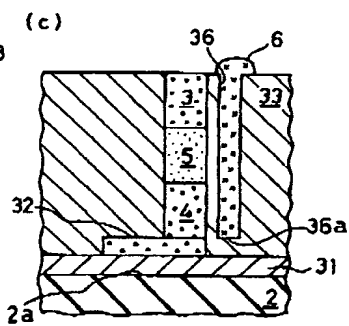
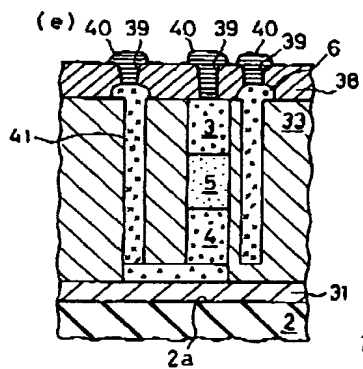


第 3 圖



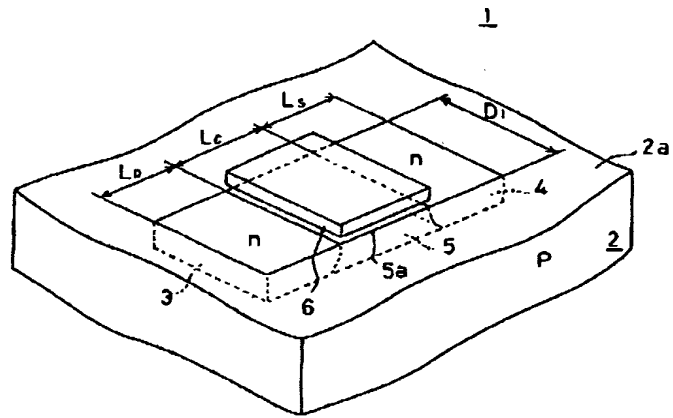
30---MOSFET

第 4 圖



特開昭64-9662 (8)

第 5 圖



1 ---- MOSFET

